

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## KOREAN PATENT ABSTRACT (KR)

### PUBLICATION

(51) IPC Code: H01L 21/8242

(11) Publication No.: P2002-0002596

(21) Application No.: 10-2000-0036811

(43) Publication Date: 10 January 2002

(22) Application Date: 30 June 2000

**(71) Applicant:**

Hynix Semiconductor Inc.

136-1 Ami-ri, Bubal-eup, Icheon-City, Kyunggi-do, Korea

**(72) Inventor:**

BYOUNG KWON AHN and DONG SOO PARK

**(54) Title of the Invention:** Method of Manufacturing Capacitor of Semiconductor Memory Device

**Abstract:**

A method of forming a capacitor of a semiconductor memory device, the method comprising forming a dielectric film having a double-layer structure of a TaON thin film and an Al<sub>2</sub>O<sub>3</sub> film, is provided. The method comprises forming a lower electrode using a polysilicon film, forming a nitride thin film on the lower electrode, depositing an amorphous TaON thin film having a high dielectric constant on the nitride film, performing an RTP process on the amorphous TaON thin film to increase a content of nitride in the thin film, depositing an Al<sub>2</sub>O<sub>3</sub> film on the TaON thin film to form a dielectric film having a double-layer structure, performing a furnace vacuum thermal treatment on the dielectric film in order to remove impurities in the dielectric film and prevent a crystallization and a loss of nitrides in the TaON thin film, and depositing a polysilicon film on the Al<sub>2</sub>O<sub>3</sub> film to form an upper electrode.

특 2002-0002596

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.	(11) 공개번호	특 2002-0002596
HD1L 21/8242	(43) 공개일자	2002년 01월 10일
(21) 출원번호	10-2000-0036811	
(22) 출원일자	2000년 06월 30일	
(71) 출원인	주식회사 하이닉스반도체	박증섭
(72) 발명자	경기 이천시 부발읍 아미리 산 136-1 안병권	
(74) 대리인	서울특별시 강북구 미아 3동 307-24번지 박동수 경기도 이천시 창전동 410-7번지 유진빌라 201호 강성배	

설사첨구 : 없음

**(54) 반도체 메모리 소자의 캐패시터 제조방법**

**요약**

본 발명은 반도체 메모리 소자의 캐패시터 형성방법에 관한 것으로, TaON 박막과 Al2O3막의 이중막 구조로 된 유전막을 형성하는 캐패시터 형성방법을 개시한다.

개시된 본 발명은 폴리 실리콘막으로 하부전극을 형성하는 단계; 상기 하부전극 상에 박막의 질화막을 형성하는 단계; 상기 질화막 상부에 고유전률을 갖는 비정질 TaON 박막을 증착하는 단계; 상기 비정질 TaON 박막을 RTP 공정을 수행하여 박막내 질화를 증가시키는 단계; 상기 TaON 박막 상부에 Al2O3막을 증착하여 이중막 구조의 유전막을 형성하는 단계; 상기 유전막내 불순물 제거, 결정화 및 TaON 박막 내 질화물의 순출을 방지하기 위하여 페니스 진공 열처리를 수행하는 단계; 및 상기 Al2O3막 상부에 폴리 실리콘막을 증착하여 상부 전극을 형성하는 단계를 포함하여 구성하는 것을 특징으로 한다.

**도표도**

도 2a

도 2b

도 1

**도면의 간단한 설명**  
도 1은 종래의 반도체 메모리 소자의 캐패시터 제조방법을 설명하기 위한 단면도.

도 2a 내지 도 2b는 본 발명의 반도체 메모리 소자의 캐패시터 제조방법을 설명하기 위한 단면도.

\* 도면의 주요 부분에 대한 부호설명 \*

10 : 하부 전극용 폴리 실리콘막	20 : 질화막
30 : TaON 박막	40 : Al2O3막
50 : 유전막	60 : 상부 전극용 폴리 실리콘막

**발명의 실체적 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 메모리 소자의 캐패시터 제조방법에 관한 것으로, 보다 구체적으로, TaON 박막과 Al2O3막의 이중막 구조로 형성된 캐패시터 제조방법에 관한 것이다.

최근 반도체 제조 기술의 발달과 더불어, 메모리 소자의 수요가 급증하고 있다. 데미터 저장 수단으로 이용되는 커패시터는 전극의 면적과 전극간의 거리와 전극 사이에 삽입되는 유전막의 유전률에 따라 그 정전용량이 달라진다. 그런데, 반도체 장치가 고집적화됨에 따라 반도체 장치에서 커패시터 형성영역이 줄어들고 그 결과 커패시터의 전극면적이 작아져서 커패시터의 정전용량이 감소된다.

이에따라, 현재 금속막 - 절연막 - 실리콘 구조(이하, MIS)의 고유전률을 갖는 TaON 박막으로 구성된 캐

패시터를 사용하고 있는데, 상기 TaON 박막 상부의 상부 전극으로 계면 특성을 향상시키기 위해 TiN막을 증착한 다음 그 상부에 폴리 실리콘막의 적층구조를 사용하여 상부 전극을 형성한다.

도 1은 증래의 반도체 메모리 소자의 TaON 박막의 캐패시터 제조방법에 관한 단면도이다.

도 1을 참조하면, 하부전극(1), 예컨대, 폴리 실리콘막 상부에 고유전률을 갖는 박막의 TaON막(2)을 증착 한다. 그런다음, 상기 TaON 박막 상부에 적층구조를 갖는 TiN/폴리 실리콘막(3)을 증착한다. 상기 TiN/폴리 실리콘막의 증착에 있어서, 전구체인 TiCl<sub>4</sub>와 반응가스 NH<sub>3</sub>를 이용하여 CVD 햄버 내에서 TiN 박막을 형성하여 MIS구조의 캐패시터를 형성한다.

### 발명이 이루고자 하는 기술적 효과

그러나, 상기와 같은 증래의 반도체 메모리 소자의 캐패시터 제조방법에는 다음과 같은 문제점이 있다.

반도체 소자가 점점 고집적화됨에 따라 안정된 소자 등장을 위해 필요한 셀 당 캐패시턴스는 변화가 없는 반면 캐패시터 셀 사이즈는 점점 줄어들어, TaON 박막의 담밀막으로는 캐패시터의 충분한 정전 용량과 낮은 누설 전류를 동시에 확보 할 수 없다.

또한, 유전막인 박막의 TaON막 증착후, 상부전극인 폴리 실리콘막을 형성하기 전, TaON 박막과 폴리 실리콘막과의 계면 특성을 향상시키기 위하여 전구체인 TiCl<sub>4</sub>와 반응가스 NH<sub>3</sub>를 이용하여 CVD 햄버 내에서 TiN 박막을 형성하는 공정이 추가된다.

미에 따라, 본 발명은 상기와 같은 문제점을 제거하기 위하여 안출된 것으로, TaON박막과 Al203막의 미출 막으로 유전막을 구성하여 높은 정전 용량과 낮은 누설 전류를 확보하는 동시에 우수한 계면 특성을 갖는 반도체 메모리 소자의 캐패시터 제조방법을 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

상기와 같은 문제점을 해결하기 위하여, 본 발명은, 폴리 실리콘막으로 하부전극을 형성하는 단계; 상기 하부전극 상부에 박막의 질화막을 형성하는 단계; 상기 질화막 상부에 고유전률을 갖는 비정질 TaON 박막을 증착하는 단계; 상기 비정질 TaON 박막을 RTP 공정을 수행하여 박막내 질화를 함량을 증가시키는 단계; 상기 TaON 박막 상부에 Al203막을 증착하여 이중막 구조의 유전막을 형성하는 단계; 상기 유전막내 불순물을 제거, 결정화 및 TaON 박막 내 질화물의 손실을 방지하기 위하여 퍼니스 진공 열처리를 수행하는 단계; 및 상기 Al203막 상부에 폴리 실리콘막을 증착하여 상부 전극을 형성하는 단계를 포함하여 구성하는 것을 특징으로 한다.

상기 하부 전극의 형태는 실린더형 또는 스택형 등 여러가지 형태로 변형가능하고, 아울러 하부전극이 메탈인 구조에서도 사용된다.

상기 하부 전극 상부에 질화막 형성공정은, 햄버내 압력을 0.1torr ~ 1.2torr로 유지하고 기판 온도를 저운인 300 ~ 500°C의 온도에서 R.F 파워를 10 ~ 500와트 인가하며 10 ~ 600초 동안 NH<sub>3</sub> 개스를 10 ~ 500scm 정도의 정량을 공급하면서 플라즈마 처리를 수행하여 질화막을 형성한다.

그런다음 상기 비정질의 TaON 박막 형성공정은, 바람직하게 PECVD 공정을 이용하여 원료 물질인 0.001CC ~ 2CC 정량의 탄탈륨 에칠레이트(Ta(OC2H<sub>5</sub>)<sub>5</sub>)를 170 ~ 190°C로 유지되는 기화기에서 기상상태로 만들고, 0.1 내지 1.2 Torr의 저압력 및 300 내지 500°C의 온도를 유지하며, 10 ~ 500scm 유량의 NH<sub>3</sub> 가스가 공급되는 햄버내에서, R.F 파워를 10 ~ 500와트를 인가하여 형성한다.

그 다음으로 후속 열공정으로 상기 TaON 박막의 질화를 함량을 증가시키기 위하여 NH<sub>3</sub> 가스가 1 ~ 10sNm의 유량이 공급되는 햄버내에서 700 ~ 850°C의 온도를 유지하고 머닐링 시간을 60 ~ 180초 동안 진행하는 RTP 공정을 수행한다.

상기 TaON 박막 상부에 Al203막의 증착은 원료 물질인 (CH<sub>3</sub>)<sub>3</sub>Al을 전구체로 하며 H<sub>2</sub>O 개스가 유입된 햄버내에서 200 ~ 450°C의 온도로 유지하고, 0.1 ~ 1 torr의 압력을 유지하여 증착한다.

그런다음, 상기 퍼니스 진공 열처리는 N<sub>2</sub> 가스를 이용하여 600 ~ 850°C의 온도에서 5 ~ 60분의 머닐링 시간을 유지하여 열처리를 수행한다.

상기 상부전극용 폴리 실리콘막은 바람직하게 1000Å 정도의 두께로 증착한다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 반도체 메모리 소자의 캐패시터 제조방법을 상세히 설명한다.

도 2a를 참조하면, 하부 전극용 폴리 실리콘막(10)이 증착된 반도체 기판(도시되지 않음)을 구비한다. 그런다음, 상기 폴리 실리콘막(10) 표면을 HF나 BOE(Buffer Oxide Etchant)로 치각하여 자연산화막(도시되지 않음)을 제거한다. 그런다음, 하부전극용 폴리 실리콘막(10) 상부에 NH<sub>3</sub>가스를 플라즈마 처리하여 질화막(20)을 형성한다. 이 때, 상기 하부 전극 상부에 질화막 형성공정은, 햄버내 압력을 0.1torr ~ 1.2torr로 유지하고 기판 온도를 저운인 300 ~ 500°C의 온도에서 R.F 파워를 10 ~ 500와트 인가하며 10 ~ 600초 동안 NH<sub>3</sub> 개스를 10 ~ 500scm 정도의 정량을 공급하면서 플라즈마 처리를 수행하여 질화막(20)을 형성한다.

도 2b를 참조하면, 상기 질화막 상부에 고유전률을 갖는 비정질 TaON 박막(30)을 증착한다. 상기 비정질의 TaON 박막(30) 형성공정은, 바람직하게 PECVD 공정을 이용하여 원료 물질인 0.001CC ~ 2CC 정량의 탄탈륨 에칠레이트(Ta(OC2H<sub>5</sub>)<sub>5</sub>)를 170 ~ 190°C로 유지되는 기화기에서 기상상태로 만들고, 0.1 내지 1.2 Torr의 저압력 및 300 내지 500°C의 온도를 유지하며, 10 ~ 500scm 유량의 NH<sub>3</sub> 가스가 공급되는 햄버내에서, R.F 파워를 10 ~ 500와트를 인가하여 형성한다. 그런다음, 후속 열공정으로 상기 TaON 박막의 질화를 함량을 증가시키기 위하여 NH<sub>3</sub> 가스가 1 ~ 10sNm의 유량이 공급되는 햄버내에서 700 ~ 850°C의 온도를

유지하고 어닐링 시간을 60 ~ 180초 동안 진행하는 RTP 공정을 수행한다.

도 2를 참조하면, 상기 TaON 박막(30) 상부에 Al203막(40)을 증착하여 이중막 구조의 유전막(50)을 형성한다. 상기 TaON 박막(30) 상부에 Al203막(40)의 증착은 원료물질인 (CH<sub>3</sub>)<sub>3</sub>Al을 전구체로 하여 H<sub>2</sub>O 개스가 유입된 챔버내에서 200 ~ 450°C의 온도로 유지하고, 0.1 ~ 1 torr의 압력을 유지하여 증착함으로써, TaON 박막(30)과 Al203막의 적층된 구조의 유전막(50)을 형성한다. 그런다음, 후속 열공정으로 상기 유전막(50) 내 불순을 제거, 결정화 및 상기 TaON 박막(40) 내 질화물의 손실을 방지하기 위하여 퍼니스 진공 열처리를 수행한다. 상기 퍼니스 진공 열처리는 N<sub>2</sub> 가스를 이용하여 600 ~ 850°C의 온도에서 5 ~ 60분의 어닐링 시간을 유지하여 열처리를 수행한다.

도 2b를 참조하면, 상기 유전막(50) 상부에 상부 전극용 폴리 실리콘막(60)을 증착하여 상부 전극을 형성한다. 이 때 상기 상부 전극용 폴리 실리콘막(60)은 바람직하게 1000A 정도의 두께로 증착한다.

마을러, 상기 하부 전극의 형태는 실린더형 또는 스택형 등 여러가지 형태로 변형 가능하고, 마을러 하부 전극이 메탈인 구조에서도 사용된다.

#### 발명의 효과

이상에서 자세히 설명한 바와같이, 본 발명은 단일 유전막 구조에서 TaON 박막과 Al203막이 적층된 이중막을 유전막으로 구성하여 정전 용량과 낮은 누설전류 특성을 확보하고, 상기 Al203의 우수한 계면 특성을 이용하여 TaON 박막과 상부전극과의 계면 특성 향상을 위한 TIN막 증착을 생략하여 공정 단순화가 가능하다.

이에 따라, 전기적 특성이 향상된 반도체 메모리 소자를 제조함으로써 수율 향상의 효과가 있다.

기타, 본 발명은 요지를 벗어나지 않는 범위내에서 다양하게 변경하여 실시할 수 있다.

#### (5) 청구의 범위

청구항 1. 폴리 실리콘막으로 하부전극을 형성하는 단계;

상기 하부전극 상에 박막의 질화막을 형성하는 단계;

상기 질화막 상부에 고유전률을 갖는 비정질 TaON 박막을 증착하는 단계;

상기 비정질 TaON 박막을 RTP 공정을 수행하여 박막내 질화를 함량을 증가시키는 단계;

상기 TaON 박막 상부에 Al203막을 증착하여 이중막 구조의 유전막을 형성하는 단계;

상기 유전막내 불순을 제거, 결정화 및 TaON 박막 내 질화물의 손실을 방지하기 위하여 퍼니스 진공 열처리를 수행하는 단계; 및

상기 Al203막 상부에 폴리 실리콘막을 증착하여 상부 전극을 형성하는 단계를 포함하여 구성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

청구항 2. 제 1항에 있어서, 상기 하부 전극의 형태는 실린더형 또는 스택형 등 여러가지 형태로 변형 가능하고, 마을러 하부전극이 메탈인 구조에서도 사용되는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

청구항 3. 제 1항에 있어서, 상기 하부 전극 상부에 질화막 형성공정은, 챔버내 압력을 0.1torr ~ 1.2torr로 유지하고 기판 온도를 저온인 300 ~ 500°C의 온도에서 R.F 파워를 10 ~ 500와트 인가하여 10 ~ 600초 동안 NH<sub>3</sub> 개스를 10 ~ 500scm<sup>3</sup>/min 정도의 정량을 공급하면서 플라즈마 처리를 수행하여 질화막을 형성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

청구항 4. 제 1항에 있어서, 상기 비정질의 TaON 박막 형성공정은, 바람직하게 PECVD 공정을 이용하여 원료 물질인 0.001CC ~ 2CC 정량의 탄탈륨 에칠레이트 (Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>)를 170 ~ 190°C로 유지되는 기화기에 서 기상상태로 만들고, 0.1 내지 1.2 Torr의 저압력 및 300 내지 500°C의 온도를 유지하여, 10 ~ 500scm<sup>3</sup>/min 유량의 NH<sub>3</sub> 가스가 공급되는 챔버내에서, R.F 파워를 10 ~ 500와트를 인가하여 형성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

청구항 5. 제 1항에 있어서, 후속 열공정으로 상기 TaON 박막의 질화를 함량을 증가시키기 위하여 NH<sub>3</sub> 가스가 1 ~ 10sl/m<sup>3</sup>의 유량이 공급되는 챔버내에서 700 ~ 850°C의 온도를 유지하고 어닐링 시간을 60 ~ 180초 동안 진행하는 RTP 공정을 수행하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

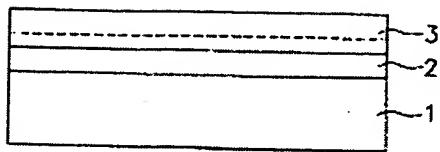
청구항 6. 제 1항에 있어서, 상기 TaON 박막 상부에 Al203막의 증착은 원료물질인 (CH<sub>3</sub>)<sub>3</sub>Al을 전구체로 하여 H<sub>2</sub>O 개스가 유입된 챔버내에서 200 ~ 450°C의 온도로 유지하고, 0.1 ~ 1 torr의 압력을 유지하여 증착하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

청구항 7. 제 1항에 있어서, 상기 퍼니스 진공 열처리는 N<sub>2</sub> 가스를 이용하여 600 ~ 850°C의 온도에서 5 ~ 60분의 어닐링 시간을 유지하여 열처리를 수행하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

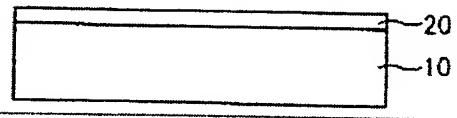
청구항 8. 제 1항에 있어서, 상기 상부전극용 폴리 실리콘막은 바람직하게 1000A 정도의 두께로 증착하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

도 2

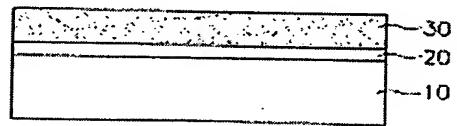
도면1



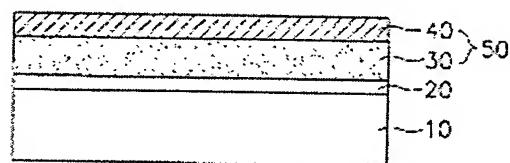
도면2



도면3



도면4



도면5

